

Docket No.: K-243

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :

Si Wook HAN and Sang Mun KIM :

Serial No.: ~~New U.S. Patent Application~~ 09/733952 :

Filed: December 12, 2000 :

For: FIELD EMISSION DISPLAY AND METHOD FOR FABRICATING
THE SAME

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner of Patents
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the
following application:

Korean Patent Application No. 57590/1999 filed December 14, 1999.

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP

Daniel Y.J. Kim
Registration No. 36,186

P. O. Box 221200
Chantilly, Virginia 20153-1200
703 502-9440
Date: December 12, 2000

DYK/kam



대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 1999년 제 57590 호
Application Number

출원년월일 : 1999년 12월 14일
Date of Application

출원인 : 엘지전자 주식회사
Applicant(s)

2000 06 01
년 월 일

특 허 청 장
COMMISSIONER

1019990057590

【서류명】

특허출원서

【권리구분】

특허

【수신처】

특허청장

【참조번호】

0003

【제출일자】

1999. 12. 14

【발명의 명칭】

카본나노 튜브막을 갖는 전계방출형 디스플레이 소자 및
그의 제조방법

【발명의 영문명칭】

Field emission display device and its fabrication
method

【출원인】

【명칭】

엘지전자 주식회사

【출원인코드】

1-1998-000275-8

【대리인】

【성명】

김홍두

【대리인코드】

9-1999-000486-8

【포괄위임등록번호】

1999-061194-0

【대리인】

【성명】

이화익

【대리인코드】

9-1998-000417-9

【포괄위임등록번호】

1999-061195-7

【발명자】

【성명의 국문표기】

한시욱

【성명의 영문표기】

HAN, Si Wook

【주민등록번호】

610301-1009331

【우편번호】

718-840

【주소】

경상북도 칠곡군 북삼면 오태지구 현진아파트 101동 501호

【국적】

KR

【발명자】

【성명의 국문표기】

김상문

【성명의 영문표기】

KIM, Sang Mun

【주민등록번호】

621105-1105512

【우편번호】

730-032

1019990057590

【주소】

경상북도 구미시 공단2동 269-19 엘지전자아파트 나동 11
호

【국적】

KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 김홍
두 (인) 대리인
이화익 (인)

【수수료】

【기본출원료】

18 면 29,000 원

【가산출원료】

0 면 0 원

【우선권주장료】

0 건 0 원

【심사청구료】

0 항 0 원

【합계】

29,000 원

【첨부서류】

1. 요약서·영세서(도면)_1통

【요약서】

【요약】

본 발명은, 전계방출 디스플레이소자 및 그 제조방법에 관한 것으로, 종래에는 전계방출 디스플레이소자의 에미터로서, 에미터 팁을 이-빔으로 형성하여 전계방출 디스플레이를 제작하고 있는데, 에미터를 만들기 위하여 이-빔을 사용하기 때문에 화면의 크기를 20인치 이상의 대형으로 할 수 없으며, 제조하는데 있어서도 시간이 많이 걸리고 장치 비용이 많이 들기 때문에 제조비용이 높아서 실용화가 어렵다는 점이다. 이와같은 종래 기술의 문제점을 감안하여 본 발명은 캐소드 금속 전극 위에 스크린 인쇄법으로 절연막을 형성하고, 카본 나노 튜브막이 나란히 형성되고 절연막 위에 게이트 전극이 형성된 전계방출 음극부를 갖는 전계방출 소자를 제공한다.

【대표도】

도 3

1019990057590

【명세서】

【발명의 명칭】

카본나노 튜브막을 갖는 전계방출형 디스플레이 소자 및 그의 제조방법(Field emission display device and its fabrication method)

【도면의 간단한 설명】

도 1은 통상의 전계 방출 디스플레이 소자의 개략도.

도 2의 (a) 내지 (f)는 본 발명에 의한 전계 방출 디스플레이 표시소자의 캐소드 어레이 제조 공정도.

도 3의 (a) 및 (b)는 본 발명에 의한 전계 방출 디스플레이 소자의 캐소드의 단면도.

<도면의 주요부분에 대한 부호의 설명>

- | | |
|----------|---------------|
| 11 : 기판 | 12 : 캐소드 전극 |
| 13 : 절연층 | 14 : 게이트 전극 |
| 15 : 회생층 | 16 : 카본나노 튜브막 |

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 전계방출형 디스플레이 소자의 구동전압을 안정하게 하면서 제작이 용이

1019990057590

하도록 한 카는 나노 튜브막을 갖는 전계방출형 디스플레이 소자 및 그의 제조방법에 관한 것이다.

<9> 일반적인 전계방출형 디스플레이 소자(FED)는 도 1에 도시된 바와 같이 구성되어 있다. 페이스 플레이트(Face plate)인 패널(panel) 유리기판(1) 위에 FED 애노우드(2)로서 ITO(Indium Tin Oxide)박막 전극이 형성되고, 그 위에 형광체(8) R, G, B를 스트립(stripe)형으로 도포하여 스크린이 형성되어 있다. 그리고 상기 FED 애노우드(2)와 스페이서(9)에 의해 소정 간격이 유지되도록 마주보는 쪽의 배면 플레이트에는 비전도성(nonconductive) 물질인 베이스 플레이트(3)가 있고, 그 위에 FED의 캐소드(cathode)부의 행(row) 전극인 캐소드 전극(4)과 열(column) 전극인 게이트 전극(5)이 직교된 매트릭스 상태로 형성되어 있으며, 행 전극과 열 전극 사이에 전자가 방출되는 FEA(Field Emission Array) 에미터(6)가 매트릭스 어드레스 되어 있다. 상기 FEA는 전자를 방출하는 에미터(6)와 각각의 에미터 사이에 두께가 약 $1\mu\text{m}$ 되는 절연체(insulator)(7)가 설치되어 있다. 그리고 페이스 플레이트 패널(1)과 FEA가 배설된 배면 플레이트(3) 사이에서 스페이서(9)가 삽입되어 두 플레이트를 20 ~ $400\mu\text{m}$ 간격으로 유지시켜 주고 있으며, 두 플레이트는 프리트(frit) 글래스로 실링(sealing) 되어 10^{-7}torr 로 유지되고 있다. 캐소드부의 행 전극인 캐소드 전극(4)은 네가티브 전극으로 되어 있고, 에미터(6) 팁의 방출전류를 줄여 안정성을 도모하기 위하여 1000 ~ 10000 개의 에미터에서 전자가 나와 페이스 플레이트의 스크린에 형성된 하나의 픽셀(pixel)을 향하여 나아가도록 구성되어 있다.

<10> 이와같이 구성된 종래 전계방출형 디스플레이 소자는, 캐소드 전극(4)에 전

1019990057590

장이 인가되면 게이트 전극(5)의 전압이 올라가면서 에미터(6)로부터 전자가 방출되어 나와 애노드(2)로 가속되어 날아가 애노드(2)에 배열된 형광면(8)과 충돌하여 형광면을 발광시킴으로써 스크린이 형성되어지게 된다.

<11> 그런데, 이와같은 종래 기술은, 스퍼트 타입의 에미터를 사용하고 있다. 게이트(5)에 전압이 걸리면 정전압에 의해 이들 전자총으로부터 전자가 방출되어 보다 강한 정전압이 걸려있는 형광체쪽으로 가속, 충돌한다. Fowler-Nordheim 이론에 따르면, 방출전류는 방출 재료의 일 함수에 강하게 의존한다.

<12> 일정한 일함수(work function)를 갖는 금속 등의 표면에 강한 전계를 인가하면 전위장벽이 낮아져 전자가 장벽을 뚫고(tunneling) 표면 밖으로 방출되게 된다. 즉 전계가 강할수록 전위장벽이 더욱 낮아져 전자 방출이 쉽게 일어나게 된다. 동일한 전압하에서 전계를 극대화시키기 위해서는 팁(tip)과 같이 끝이 뾰족한 구조를 형성시키면 된다. 물질에 전계를 인가하여 전계 방출이 일어날 때 얻어지는 전류밀도(J) 값을 구하는 식을 Fowler와 Nordheim이 1928년에 발견하였으며, Fowler와 Nordheim은 이 표면에 스텝 배리어(step barrier)를 이루고 외부에 일정한 전기장이 걸린 일 함수 ϕ 인 자유전자금속으로부터 방출된 전자의 흐름(current)를 계산하였다.

<13> 이런 이론이 다음 식(1)(2)의 Fowler-Nordheim의 식이며, 발견된 지 60여년이 된 이 방정식은 클린 서페이스(clean surface)에서 매우 일치하지만 현재에도 큰 변형 없이 사용되고 있다. 이 식(1)(2)에 의하여 $1/V$ 를 x축으로 하고 $\ln(1/V^2)$ 을 y축으로 그린 그래프를 F-N 플로트(plot)이라고 하는데 이 그래프가 음의 기울기를 갖는 직선형일때의 부분이 전계방출에 의한 전류 영역이다.

1019990057590

$$\begin{aligned}
 <14> \quad <MARGIN><TR><P><CHAR> J = \frac{A\beta^2 V^2}{\phi} \text{Exp}(-\frac{B\phi^{3/2}}{\beta V}) \dots \text{식(1)} \\
 &</CHAR></P><P><CHAR> \text{Ln}(\frac{I}{V^2}) = \text{Ln}(a) - (\frac{b}{V}) \dots \text{식(2)} </CHAR></P>
 \end{aligned}$$

<15> 여기서, J = 방출전류밀도(A/cm²), V = 금속표면에 인가된 전지장(V/cm),
 <MARGIN><TR><P><CHAR> $\phi = </CHAR></P>$ 금속의 일함수(eV), A, B = 상수, β = 전기
 장 증배계수 : 전극간격, Tip sharpness

<16> 상기 식(1)에 의하여 1/V를 x축으로 하고 $\text{Ln}(1/V^2)$ 을 y축으로 그린 그래프를
 Fowler-Nordheim Plot(or FN plot)이라 하고 전기장 방출전자의 특성을 알아보는 가장
 중요한 방법이다. 이 그래프가 음의 기울기를 갖는 직선형일때의 부분이 전계방출에 의
 한 전류 영역이다.

<17> 상기 식(2)로부터 전자방출이 효과적으로 되려면 일함수가 낮아야 한다.

<18> 그러나 종래의 스피트 팁 에미터(spindt tip emitter)의 경우 일함수가 4 내지 5
 사이에 있기 때문에 전자방출에 필요한 에너지 소비가 많다. 그리고 종래의 스피트 팁
 에미터의 경우는 일본특허공개 평10-12166, 평11-111160, 평10-69867등에 나타나 있다.
 문제는 에미터를 만들기 위하여 이-빔을 사용하기 때문에 화면의 크기를 20인치 이상의
 대형으로 할 수 없으며, 제조하는데 있어서도 시간이 많이 걸리고 장치 비용이 많이 들
 기 때문에 제조비용이 높아서 실용화가 어렵다는 점이다.

【발명이 이루고자 하는 기술적 과제】

<19> 이와같은 종래 기술의 문제점을 감안하여 본 발명은 캐소드 금속 전극 위에 스크린

1019990057590

인쇄법으로 절연막을 형성하고, 카본 나노 튜브막이 나란히 형성되고 절연막 위에 게이트 전극이 형성된 전계방출 음극부를 갖는 전계방출 소자를 제공하기 위한 것이다.

<20> 또한, 본 발명은 카본 나노 튜브막의 높이가 기존 에미터 텅보다 높이보다 높기 때문에 절연막의 두께를 카본 나노 튜브막의 높이로 맞추기 위해서는 증착법으로는 원하는 높이를 맞추기 어려우므로 인쇄법을 이용하여 절연막을 형성한다.

<21> 또한, 본 발명은 이-빔 방법으로 게이트 전극을 형성하는 경우의 문제점을 개선하기 위해서 금속 졸(Sol)용액을 코팅하고 노광, 현상, 열처리 하여 게이트 전극막을 형성한다.

<22> 또한, 본 발명은 게이트막 위에 Al층을 더 형성하여 게이트 금속을 형성한다.

<23> 그리고, 게이트와 절연막을 에칭하여 카본 나노 튜브막을 졸용액 코팅방법에 의해 형성한다.

<24> 따라서, 본 발명에 의하면, 스크린 인쇄법과 노광방식을 이용한 코팅으로 쉽게 막을 형성하기 때문에 저비용으로 캐소드 플레이트를 제조할 수 있을 뿐 아니라 대형화할 수가 있다. 또한 일함수가 낮은 판계로 전자방출이 용이하여 전자방출이 안정적으로 일어나며 또 저전압이나 고전압용 전계방출 디스플레이 소자를 만들 수 있다.

【발명의 구성 및 작용】

<25> 이하, 본 발명의 구성 및 작용 효과를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

<26> 도 2의 (a) 내지 (f)는 본 발명의 전계방출형 디스플레이 소자의 캐소드 어레이 제

조 공정도를 나타내는 도면이다.

<27> 먼저 기판(11)을 초순수로 초음파 세정하고 아세톤으로 세정후 알코올로 세정하고 원심력을 이용한 스핀 코터(spin coater)로 회전시키면서 열풍을 불어넣어 기판(11)을 세정한다. 그리고 나서 세정된 기판위에 버퍼 층(buffer layer)으로서 PECVD 방법으로 실리콘 산화막을 형성한다. 산화막의 두께는 2000 ~ 2500Å으로 한다. 증착시의 진공도는 10의 마이너스 1승 torr 이하 내지 10의 마이너스 7승 torr 이상에서 실시한다. 증착시 기판의 온도는 30℃ 내지 400℃로하여 증착한다. 여기서 별도의 절연막을 필요치 않는 유리 기판인 경우 버퍼층 형성이 필요치 않게된다.

<28> 도 2의 (a)와 같이 상기 유리 기판(11) 위에 캐소드 전극(12)으로 사용할 금속 전극막을 형성한다. 금속전극막을 형성하는 방법은 진공증착방법을 이용한다. 진공증착방법으로는 스퍼터링(sputtering) 또는 열증착 또는 화학물 증착(CVD) 또는 이-빔 증착 방법 또는 금속 졸 용액을 스핀코팅후 열처리하는 방법을 이용할 수 있다. 금속전극으로는 Ni, Cr, Mo, Fe-Ni 합금, Co, Cu, 등의 재료를 이용하거나 이들 재료들을 이용한 합금으로 전극을 형성한다. 금속전극의 두께는 1000 내지 5000Å으로 증착한다. 증착시의 진공도는 10의 마이너스 3승 torr 이하 내지 10의 마이너스 7승 torr 이상에서 실시한다. 증착시 기판의 온도는 30℃ 내지 500℃로하여 증착한다.

<29> 그리고 나서 도 2의 (b)와 같이, 캐소드 전극(12) 위에 감광제가 함유된 글래스 페이스트(galss paste)를 스크린 인쇄법으로 코팅하고 노광, 현상하여 절연막(글래스 페이스트)(13)을 패터닝한 다음 질소 또는 아르곤 또는 수소 또는 이들 가스가 적어도 1종류 이상 혼합된 분위기의 로에서 열처리하거나 진공 챔버 속에서 열처리하여 절연막(13)을 형성한다. 이때 절연막(13)의 두께는 0.5μm 내지 50μm으로 한다.

<30> 절연막(13)을 형성한 후 도 2의 (c)와 같이 절연막(13) 위에 감광제가 함유된 입자경 10 ~ 200Å의 금속 졸(sol) 용액을 코팅하고 노광, 현상하여 막을 형성한 후, 질소 또는 아르곤 또는 이들 가스가 적어도 1종류 이상 혼합된 분위기 로에서 열처리하거나 진공 챔버 속에서 열처리하여 금속 게이트(14) 전극막을 만든다. 게이트(14) 금속 전극 재료로는 Cr, Ni, Mo, Cu, Pt, Ag 등의 금속중 적어도 1종류로 형성하며, 전극막의 두께는 1000Å 내지 10000Å 으로 코팅한다. 열처리 온도는 200℃ 내지 500℃로 한다.

<31> 이후, 도 2의 (d)와 같이 게이트(14) 전극을 패터닝하여 에칭하고, 이어서 게이트(14) 전극의 하부 절연막(13)을 남기고 에미터 영역의 절연막을 에칭한다.

<32> 이어서, A1 층을 E-beam으로 경사증착하고 노광, 현상하여 회생층(15)을 형성한 다음 마이크로 웨이브를 이용한 화학증착법(MPCVD)으로 카본 나노튜브(16)를 캐소드 전극 위에 성장시킨다. 증착 조건은 마이크로 웨이브를 2 ~ 5GHz로 하고 증착시 기판온도는 400℃ 내지 800℃로 하며, 증발가스로는 아르곤(Ar) 또는 메탄(CH₄) 가스를 혼합하여 사용하며 증착시 진공도는 1×10^{-2} torr 내지 100 torr에서 실시하며 증착 시간은 5 내지 15 분으로하여 카본 나노 튜브(16)의 두께는 0.5 내지 50μm 으로 성장시킨다.

<33> 그 후 상기 회생층(15)으로 증착된 A1막을 에칭하여 A1층 위에 형성된 카본들을 제거함으로써 에미터 영역으로 형성된 캐소드 전극(12) 위에만 카본 나노튜브(16)막이 형성되고 절연층(13)과 게이트(14)를 갖는 전계방출 캐소드 플레이트를 제작할 수 있다.

<34> 그리고 나서 형광체가 코팅된 애노드 기판에 프리트(frit) 결합제를 바르고 스페이스를 부착한 다음 카본 나노 튜브가 형성되어 있는 캐소드 플레이트를 부착하여 결합시킨 후 진공 속에서 봉착하고 배기시켜 전계방출 소자를 제조한다.

<35> 도 3의 (a)와 같이 건식식각에 의해 게이트 및 절연막을 수직으로 식각하고 그 식각된 에미터 영역에 카본나노튜브막을 에미터로서 형성할수 있다. 한편, 도 3의 (b)와 같이 상기 게이트 전극 및 절연막을 습식식각하여 게이트전극 하부에서 내측으로 일부 더 깊게 식각되어 카본나노 튜브와 게이트 전극의 이격거리를 유지하도록 구성할 수 있다.

<36> (본 발명의 다른 실시예)

<37> 본 발명의 다른 실시예로서, 금속전극이 형성된 캐소드 플레이트의 전극 위에 감광제가 함유된 글래스 페이스크를 이용하여 스크린 인쇄법으로 코팅하고, 노광, 현상하여 절연층을 패터닝하고, 질소 또는 아르곤 또는 이들 가스가 적어도 1종류 이상 혼합된 분위기 로에서 열처리하거나 진공 챔버 속에서 열처리하여 절연막을 형성한 다음 그 위에 감광제가 함유된 입자경이 10Å 내지 200Å인 금속 sol 용액을 코팅하고, 노광, 현상, 건조하여 막을 형성하여 게이트 금속을 형성한 후 그 위에 감광제가 함유된 Al 졸용액 또는 Paste를 도포하고 노광현상하여 막을 만든후 질소 아르곤 또는 수소 또는 이들 가스가 적어도 1종류 이상 혼합된 분위기 로에서 열처리하거나 진공 챔버 속에서 열처리하여 게이트 전극과 Al층을 동시에 형성시킨다.

<38> 즉, 게이트 전극 및 희생층으로 사용되는 Al층을 차례로 형성한 후 희생층, 게이트 전극, 절연막을 차례로 식각하여 에미터 영역을 형성하고, 에미터로서 카본나노튜브막을 형성하는 공정으로 제조할 수 있다.

1019990057590

【발명의 효과】

<39> 이상에서 상세히 설명한 바와 같이 본 발명에 의하면, 종래에 사용하던 스프린트 에미터 팁 제조시의 번거로운 제조공정을 줄이고 스크린 인쇄법과 노광방식을 이용한 코팅으로 쉽게 막을 형성하기 때문에 저비용으로 캐소드 플레이트를 제조할 수 있을 뿐 아니라 대형화할 수가 있다. 또한 일함수가 낮은 관게로 전자방출이 용이하여 전자방출이 안정적으로 일어나며 또 저전압이나 고전압용 전계방출 디스플레이 소자를 만들 수 있다.

【특허청구범위】**【청구항 1】**

전계방출 디스플레이 소자에 있어서,

전자를 방출하는 캐소드 플레이트의 기판 위에 캐소드 전극이 형성되며, 캐소드 금속 전극 위에 절연층과 에미터 전극으로서 카본나노 튜브막이 교대로 형성되고, 상기 절연층 위에 게이트 전극을 형성하여 캐소드 어레이를 구성한 것을 특징으로 하는 전계방출 디스플레이소자.

【청구항 2】

제 1 항에 있어서, 상기 캐소드 전극 위에 형성된 절연층은,

감광제가 함유된 글래스 페이스트를 이용하여 스크린 인쇄법으로 코팅되고, 그 두께가 $0.5\mu\text{m}$ 내지 $50\mu\text{m}$ 인 것을 특징으로 하는 전계방출 디스플레이소자.

【청구항 3】

제 1 항에 있어서, 상기 게이트 전극층은,

감광제가 함유된 금속 졸 용액을 상기 절연층 위에 코팅하되, 금속 졸(sol) 속의 금속 입자경이 $10 \sim 200\text{\AA}$ 인 것을 특징으로 하는 전계방출 디스플레이소자.

【청구항 4】

제 3 항에 있어서, 상기 게이트 전극은,

1019990057590

게이트 전극으로 Cr, Ni, Mo, Cu, Pt, Ag 등의 금속 중 적어도 1 종류인 것을 특징으로 하는 전계방출 디스플레이소자.

【청구항 5】

제 3 항에 있어서, 상기 게이트 전극은,
그 게이트 전극 막의 두께가 1000Å ~ 10000Å인 것을 특징으로 하는 전계방출 디스플레이소자.

【청구항 6】

제 1 항에 있어서, 카본나노튜브막은
마이크로파의 파장범위는 2~5GHz 인 마이크로웨이브를 이용한 이용한 화학증착법(MPCVD)으로 카본 나노튜브를 게이트 전극과 절연층을 식각한 에미터 영역내의 캐소드 전극위에 성장시킨 것을 특징으로 하는 전계방출 디스플레이소자.

【청구항 7】

제 1 항에 있어서, 카본나노튜브막은,
증착두께가 0.5 내지 50 μ m인 것을 특징으로 하는 전계방출 디스플레이소자.

【청구항 8】

전계방출 디스플레이 소자 제조방법에 있어서,

1019990057590

기관 위에 캐소드 전극, 절연층, 게이트 전극을 위한 재료를 차례로 형성하는 공정

과;

상기 게이트 전극과 절연층을 캐소드 어레이 패턴에 의해 식각하여 에미터 영역을 형성한 후 A1층을 경사증착하여 희생층을 형성하는 공정과;

상기 에미터 영역내의 캐소드 전극 위에 카본나노튜브막을 에미터로 형성하는 공정

과;

상기 캐소드 전극위에 카본나노튜브막과 이웃하여 절연층이 형성되고 그 절연층 위에만 게이트 전극이 형성된 전계방출 캐소드 플레이트를 제작하는 공정과;

상기 형광체가 코팅된 애노드 기관과 상기 카본나노튜브가 형성되어 있는 캐소드 플레이트를 스페이서를 이용하여 일정한 간격을 가지도록 접착 결합하는 공정을 포함하는 것을 특징으로 하는 전계방출 디스플레이 소자 제조방법.

【청구항 9】

제 8 항에 있어서, 상기 캐소드 전극 위에 절연층을 형성하는 공정은,

캐소드 전극위에 감광제가 함유된 글래스 페이스트를 이용하여 스크린 인쇄법으로 코팅한 후, 노광, 현상하고, 패터닝 한 후에 열처리를 질소 또는 아르곤 또는 수소 또는 이들 가스가 적어도 1종류 이상 혼합된 분위기 로에서 열처리하거나 진공 챔버 속에서 열처리한 것을 특징으로 하는 전계방출 디스플레이소자 제조방법.

1019990057590

【청구항 10】

제 8 항에 있어서, 상기 게이트 전극 형성공정은,

감광제가 함유되고 금속 입자경이 10 ~ 200Å인 금속 졸(sol) 용액을 상기 절연층 위에 코팅하고, 노광, 현상하여 질소 또는 아르곤 또는 수소 또는 이들 가스가 적어도 1 종류 이상 혼합된 분위기 로에서 200℃ 내지 500℃의 온도로 열처리하거나 진공 챔버 속에서 열처리한 것을 특징으로 하는 전계방출 디스플레이소자 제조방법 제조방법.

【청구항 11】

제 8 항에 있어서, 카본나노튜브막 형성공정은

마이크로파의 파장범위는 2~5GHz 인 마이크로웨이브를 이용한 화학증착법(MPCVD)으로 카본나노튜브를 게이트 전극과 절연층을 식각한 에미터 영역내의 캐소드 전극위에 성장시킨 것을 특징으로 하는 전계방출 디스플레이소자 제조방법.

【청구항 12】

제 8 항에 있어서, 카본나노튜브막의 증착시 증발가스로는 아르곤(Ar) 또는 메탄(CH₄) 가스를 혼합하여 사용하는 것을 특징으로 하는 전계방출 디스플레이소자 제조방법

【청구항 13】

전계방출 디스플레이 소자 제조방법에 있어서,

1019990057590

기관 위에 캐소드 전극, 절연층, 게이트 전극 및 회생층을 차례로 형성하는 공정과;

상기 회생층과 게이트 전극과 절연층을 캐소드 어레이 패턴에 의거하여 식각하여 에미터 영역을 형성하는 공정과;

상기 식각된 에미터 영역내의 캐소드 전극위에 카본나노튜브를 에미터로 형성하는 공정과;

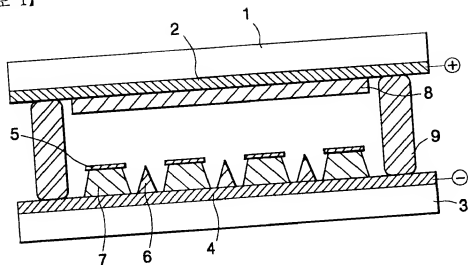
상기 캐소드 전극위에 카본나노튜브막이 절연층과 함께 형성되고 그 절연층의 위에 게이트 전극을 갖는 전계방출 캐소드 플레이트를 제작하는 공정과;

상기 형광체가 코팅된 애노드 기관과 카본나노튜브가 형성되어 있는 캐소드 플레이트를 스페이서를 이용하여 일정 공간을 가지도록 부각 결합하는 공정을 수행하는 것을 특징으로 하는 전계방출 디스플레이 소자 제조방법.

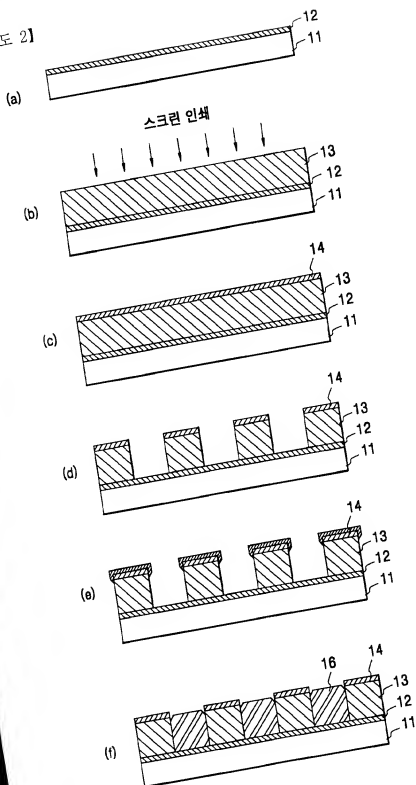
1019990057590

【도면】

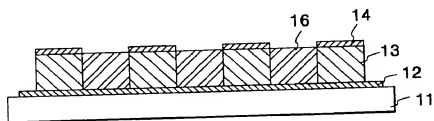
【도 1】



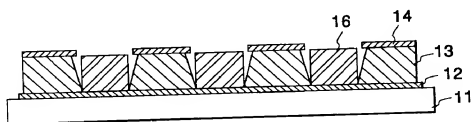
【도 2】



【図 3】



(a)



(b)